

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-68386

(P2000-68386A)

(43) 公開日 平成12年3月3日 (2000.3.3)

(51) Int.Cl. ⁷	識別記号	F I	テーマコード [*] (参考)
H 0 1 L 21/8234		H 0 1 L 27/08	1 0 2 F 5 F 0 3 8
27/088		23/56	B 5 F 0 4 8
23/60		27/04	H
27/04			
21/822			

審査請求 有 請求項の数12 O L (全 6 頁)

(21) 出願番号 特願平10-237829

(22) 出願日 平成10年8月24日 (1998.8.24)

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 伊藤 貴敏

東京都港区芝五丁目7番1号 日本電気株式会社内

(74) 代理人 100070530

弁理士 畑 泰之

Fターム (参考) 5F038 BH06 BH07 BH13 BH18

5F048 AA02 AA03 AB03 AC03 BB14

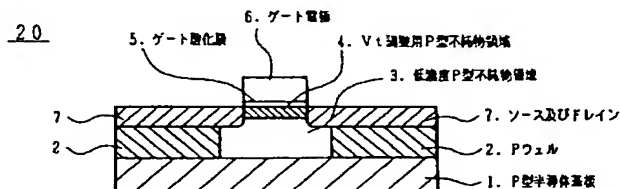
BB18 BE01 BE03 CC09

(54) 【発明の名称】 静電保護素子回路、静電保護回路を有する半導体装置及び半導体装置の製造方法

(57) 【要約】

【課題】 素子の微細化に伴いウェルの濃度が高くなった場合でも、静電保護能力の高い静電保護素子回路を提供する。

【解決手段】 静電保護素子回路に含まれるN型MOSトランジスタ20のチャネル形成領域下方部のウェル領域3に於けるウェル濃度が、当該静電保護素子回路20以外の回路に含まれるN型MOSトランジスタに於けるチャネル形成領域下方部のウェル濃度より薄くなるように構成されている静電保護素子回路。



BEST AVAILABLE COPY

1

【特許請求の範囲】

【請求項1】 N型MOSトランジスタとP型MOSトランジスタとから構成されている静電保護素子回路であって、当該静電保護素子回路に含まれるN型MOSトランジスタのチャンネル形成領域下方部のウェル濃度が、当該静電保護素子回路以外の回路に含まれるN型MOSトランジスタに於けるチャンネル形成領域下方部のウェル濃度より薄くなるように構成されている事を特徴とする静電保護素子回路。

【請求項2】 当該N型MOSトランジスタに於けるチャンネル形成領域下方部に設けられている当該ウェルは、P型の低濃度不純物領域で構成されている事を特徴とする請求項1記載の静電保護素子回路。

【請求項3】 当該静電保護素子回路に含まれる当該P型MOSトランジスタのチャンネル形成領域下方部のウェル濃度が、当該静電保護素子回路以外の回路に含まれるP型MOSトランジスタに於けるチャンネル形成領域下方部のウェル濃度と同等若しくはそれ以上のウェル濃度を有している事を特徴とする請求項1又は2に記載の静電保護素子回路。

【請求項4】 当該静電保護素子回路に於ける該N型MOSトランジスタのソース領域及びドレイン領域の下方部に、当該N型MOSトランジスタを構成しているP型ウェルと同等深さを持ったN型不純物領域が存在する事を特徴とする請求項1乃至3の何れかに記載の静電保護素子回路。

【請求項5】 当該静電保護素子回路に含まれるN型MOSトランジスタのチャンネル形成領域下方部の低濃度ウェル領域の下層部分に、当該低濃度ウェル領域のウェル濃度よりも濃度が高い高濃度ウェル領域が形成されている事を特徴とする請求項1乃至4の何れかに記載の静電保護素子回路。

【請求項6】 当該静電保護素子回路に含まれるN型MOSトランジスタがP型半導体基板上にP型高濃度不純物領域層が形成された当該P型半導体基板の該P型高濃度不純物領域層上に形成されていることを特徴とする請求項1乃至5の何れかに記載の静電保護素子回路。

【請求項7】 請求項1乃至6の何れかに記載された静電保護素子回路を含む半導体装置。

【請求項8】 複数個の演算回路素子を含み且つ、N型MOSトランジスタとP型MOSトランジスタとから構成されている静電保護素子回路を含む半導体装置を製造するに際し、当該静電保護素子回路に含まれるN型MOSトランジスタのチャンネル形成領域下方部に形成するウェル領域に於けるウェル濃度を、当該静電保護素子回路以外の演算素子回路に含まれるN型MOSトランジスタに於けるチャンネル形成領域下方部のウェル領域に於けるウェル濃度より薄くなる様に不純物のドーピング量を調整する事を特徴とする半導体装置の製造方法。

【請求項9】 当該静電保護素子回路に含まれる当該P

2

型MOSトランジスタのチャンネル形成領域下方部に形成されるウェル領域のウェル濃度は、当該静電保護素子回路以外の演算素子回路に含まれるP型MOSトランジスタに於けるチャンネル形成領域下方部の形成されるウェル領域のウェル濃度と同等若しくはそれ以上のウェル濃度を有する様に不純物のドーピング量を調整する事を特徴とする請求項8に記載の半導体装置の製造方法。

【請求項10】 当該静電保護素子回路に於ける該N型MOSトランジスタのソース領域及びドレイン領域の下方部に、更に当該N型MOSトランジスタを構成しているP型ウェルと同等深さを持ったN型不純物領域を形成する事を特徴とする請求項8又は9に記載の半導体装置の製造方法。

【請求項11】 当該静電保護素子回路に含まれるN型MOSトランジスタのチャンネル形成領域下方部の低濃度ウェル領域の下層部分に、更に当該低濃度ウェル領域のウェル濃度よりも濃度が高い高濃度ウェル領域を形成する事を特徴とする請求項8乃至10の何れかに記載の半導体装置の製造方法。

【請求項12】 当該静電保護素子回路に含まれるN型MOSトランジスタをP型半導体基板上にP型高濃度不純物領域層が形成された当該P型半導体基板の該P型高濃度不純物領域層上に形成することを特徴とする請求項8乃至11の何れかに記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置及びその製造方法に関するものであり、特に詳しくは、は静電保護素子回路を含む半導体装置であって、当該静電保護素子回路に於けるMOSトランジスタのウェルの構造に関するものである。

【0002】

【従来の技術】この種の静電保護素子回路では、半導体装置内に形成された演算素子回路等を含む内部回路を保護するために、当該半導体装置内に同時に形成配置されているものであり、その構成としては、例えば、N型MOSトランジスタと、P型MOSトランジスタを組み合わせた回路が用いられており、当該静電保護機能は、N型MOSトランジスタのスナップバック特性、及びソースまたはドレインと基板間のPN接合特性と、P型MOSトランジスタのソースまたはドレインとNウェル間のPN接合特性とを利用することが重要な要素の一つとなっている。

【0003】通常、静電保護素子回路内のN型MOSトランジスタは、図6に示すように、内部回路である当該演算回路素子と同じ構造を持つN型MOSトランジスタが採用されている。即ち、P型半導体基板上1にP型ウェル2及びV_t調整用P型不純物領域4が存在し、ゲート酸化膜5、ゲート電極6、ソース及びドレイン7でN型MOSトランジスタが形成される。

10

20

30

40

50

【0004】また、図7のように、ソース及びドレイン7の直下にN型ウェル11を形成し、内部回路のMOSトランジスタより、スナップバックを起こしやすくすることで、静電保護能力を向上させるという手法が採用されている。しかしながら、近年微細化が進むにつれ、素子のウェル領域に於けるウェル濃度が高くなって来ている。

【0005】処で、ウェル領域の濃度が高くなると、PN接合はリークしやすくなり、PN接合特性を利用した静電保護能力は向上するが、N型MOSトランジスタは、ウェル濃度が高くなるとウェルの電位変化が起こりにくくなり、スナップバック特性を起こしにくくなる。その結果スナップバック特性を利用した静電保護能力は低下する。

【0006】一方、特開平08-306811号公報では、入力保護トランジスタの容量を小さくするために、保護素子部のウェル濃度を内部回路のウェル濃度より低くすることを開示している。この技術では、N型MOSトランジスタのウェル濃度が低いため、例えば、ESD (Electro Static Discharge) 印加により接合リーク電流が流れた場合、ウェルの電位変化が容易に起こり、スナップバック特性を利用した静電保護能力は増加する。しかし、PN接合耐圧は増加するため、PN接合を使用した、静電保護能力は低下する。

【0007】

【発明が解決しようとする課題】上記した従来例である特開平08-306811号公報では、容量を減らすために入力保護トランジスタのソース及びドレイン回りのウェル濃度を低くしているため、ソース及びドレインの空乏層が広がりやすくなり、PN接合の耐圧が上昇する。

【0008】一方、PN接合耐圧が高くなると、ESDが印加されたとき、接合リーク電流が流れにくくなり、PN接合を利用した静電保護能力が低下するという問題がある。また、近年、素子の微細化が進むにつれ、ゲート酸化膜が薄くなっている。N型MOSトランジスタでは、ウェル濃度が低い場合は、ウェルの電位変化が起こりやすい。

【0009】従って、スナップバックを起こすのに必要な接合リーク電流が流れれば、スナップバックを起こしやすい。しかし、PN接合耐圧が高い為、スナップバックを起こす前に薄いゲート酸化膜を破壊してしまうという問題もある。また、特開平08-306811号公報では、ウェル濃度が低いため、ラッチアップを起こしやすいという問題もあった。

【0010】従って、本発明の目的は、上記した従来技術の欠点を改良し、素子の微細化に伴いウェルの濃度が高くなった場合でも、静電保護能力の高い静電保護素子回路及び係る静電保護素子回路を使用した半導体装置を提供することにある。

【0011】

【課題を解決するための手段】本発明は上記した目的を達成する為、以下に示す様な基本的な技術構成を採用するものである。即ち、N型MOSトランジスタとP型MOSトランジスタとから構成されている静電保護素子回路であって、当該静電保護素子回路に含まれるN型MOSトランジスタのチャネル形成領域下方部のウェル濃度が、当該静電保護素子回路以外の回路に含まれるN型MOSトランジスタに於けるチャネル形成領域下方部のウェル濃度より薄くなるように構成されている静電保護素子回路であり、又別の態様としては、係る静電保護素子回路を含む半導体装置である。

【0012】

【発明の実施の形態】本発明に係る当該静電保護素子回路及び当該静電保護素子回路を使用した半導体装置は、上記した様な技術構成を採用しているため、静電保護素子回路に含まれるN型MOSトランジスタのチャネル形成領域直下のウェル濃度が、静電保護素子以外の回路に含まれるN型MOSトランジスタのチャネル形成領域直下のウェル濃度より薄いこと、又、当該静電保護素子回路に含まれるP型MOSトランジスタのチャネル形成領域直下のウェル濃度が、静電保護素子以外の回路に含まれるP型MOSトランジスタのチャネル形成領域直下のウェル濃度以上であることを構成上の特徴としている。

【0013】そして、本発明に於いては、上記した構成に基づいて、静電保護素子回路に含まれるN型MOSトランジスタのチャネル形成領域直下のウェル濃度を低くし、またソース及びドレイン直下のウェル濃度を高くすることにより、スナップバック特性を起こしやすくする環境が創設される事になる。従って、N型MOSトランジスタの静電保護能力が向上する効果を有する。

【0014】また、PN接合特性を利用するP型MOSトランジスタでは、静電保護素子以外の回路に含まれるP型MOSトランジスタのウェル濃度と同じか或いは濃くすることが、PN接合耐圧を低く保つ環境の創設に重要な機能を果たす事になる。従って、P型MOSトランジスタの静電保護素子能力を保持できるという効果を有する。

【0015】

【実施例】以下に、本発明に係る静電保護素子回路及び当該静電保護素子回路を使用した半導体装置の一具体例の構成を図面を参照しながら詳細に説明する。即ち、図1及び図2は、本発明に係る静電保護素子回路の一具体例の構成を示す断面図であって、図中、図1に示されるN型MOSトランジスタと図2に示されるP型MOSトランジスタとから構成されている静電保護素子回路であって、当該静電保護素子回路に含まれるN型MOSトランジスタ20のチャネル形成領域下方部のウェル領域3に於けるウェル濃度が、当該静電保護素子回路20以外の回路に含まれるN型MOSトランジスタ（図示せず）

に於けるチャネル形成領域下方部のウェル濃度より薄くなるように構成されている静電保護素子回路がしめされており、又当該N型MOSトランジスタ20に於けるチャネル形成領域下方部3に設けられている当該ウェルは、P型の低濃度不純物領域で構成されている事が望ましい。

【0016】一方、当該静電保護素子回路に含まれる当該P型MOSトランジスタ30のチャネル形成領域下方部のウェル領域8'のウェル濃度が、当該静電保護素子回路30以外の回路に含まれるP型MOSトランジスタ

(図示せず)に於けるチャネル形成領域下方部のウェル領域に於けるウェル濃度と同等若しくはそれ以上のウェル濃度を有している静電保護素子回路が示されている。

【0017】又、本発明に係る他の具体例に於いては、図3に示す様に、当該静電保護素子回路に於ける該N型MOSトランジスタ20のソース領域及びドレイン領域7の下方部に、当該N型MOSトランジスタ20を構成しているP型ウェルと同等深さを持ったN型不純物領域11が存在するものである。本発明に係る当該静電保護素子回路の更に他の具体例としては、図4に示す様に、当該静電保護素子回路に含まれるN型MOSトランジスタ20のチャネル形成領域下方部の低濃度ウェル領域3の下層部分に、当該低濃度ウェル領域のウェル濃度よりも濃度が高い高濃度ウェル領域12が形成されているものである。

【0018】係る高濃度ウェル領域12は、P型不純物領域で構成されている事が望ましい。本発明に係る更に別の具体例としては、図5に示す様に、当該静電保護素子回路に含まれるN型MOSトランジスタ20がP型半導体基板1上にP型高濃度不純物領域層13が形成された当該P型半導体基板1の該P型高濃度不純物領域層13上に形成されていることが特徴である。

【0019】以下に、本発明に係る静電保護素子回路及び当該静電保護素子回路を使用した半導体装置に関するより詳細な具体例を図1乃至図5を参照しながら説明する。図1は本発明の静電保護回路部にあるN型MOSトランジスタの縦断面図である。P型半導体基板1上に 3×10^{17} (atoms/cm³) 程度のP型ウェル2が存在し、ゲート電極6の直下にはスナップバック特性を向上させるためのP型ウェルより濃度が低い 1×10^{16} (atoms/cm³) 程度の低濃度P型不純物領域3と低濃度P型不純物領域3より濃度が高い 5×10^{17} (atoms/cm³) 程度のV_t調整用P型不純物領域4が存在する。

【0020】さらにゲート酸化膜5、ゲート電極6、及びソース及びドレイン7が存在し、N型MOSトランジスタ20を構成している。本MOSトランジスタ20はソース及びドレイン7の直下又は、その近傍の下方部分及び側面に比較的に不純物濃度が高いP型ウェル2とV_t調整用P型不純物領域4が存在するため、接合耐圧を低くすることができる。

【0021】従って、ESD印加が行われたとき、接合リーク電流が流れ易い。また、ゲート電極6の直下に低濃度P型不純物領域3が存在するため、接合リーク電流が流れたとき、低濃度P型不純物領域3の電位変化が起こりやすい。接合リーク電流が流れ易い及び低濃度P型不純物領域3の電位変化が起こりやすいという2つの特徴により、本発明のN型MOSトランジスタはスナップバックに入り易くなっており、静電保護能力が向上するという効果がある。

【0022】図2は本発明の静電保護回路部にあるP型MOSトランジスタ30の縦断面図である。P型半導体基板1上にNウェル8、V_t調整用N型不純物領域9が存在し、さらにゲート酸化膜5、ゲート電極6、及びソース及びドレイン10が存在し、P型MOSトランジスタ30を構成している。

【0023】このP型トランジスタ30の構造は静電保護回路以外の、例えばLSI内部にあるP型MOSトランジスタの構造と同じである。P型MOSトランジスタ30の場合、PN接合特性を利用して、静電保護を行っている。従って、静電保護回路部のP型MOSトランジスタ30のウェル濃度は、N型ウェルの濃度が高いLSI内部にあるP型MOSトランジスタと同じ 3×10^{17} (atoms/cm³) 程度のウェル濃度にする事で、静電保護能力を高く保つことができる。

【0024】また、静電保護回路部のP型MOSトランジスタ30のウェル濃度を、静電保護回路以外のLSI内部にあるP型MOSトランジスタNウェルの濃度より高く設定しても高い静電保護能力が得られる。次に、本発明に係る当該静電保護素子回路の第2の具体例について説明する。図3は本発明に係る当該静電保護素子回路に於ける第2の具体例の静電保護回路部にあるN型MOSトランジスタ20の縦断面図である。

【0025】つまり、本具体例に於いては、P型半導体基板1上にP型ウェル2が存在し、ゲート電極6の回りにあるソース及びドレイン7の直下若しくはその近傍の下方部には 3×10^{17} (atoms/cm³) 程度のNウェル11が存在する。低濃度P型不純物領域3、V_t調整用P型不純物領域4、ゲート酸化膜5、ゲート電極6、及びソース及びドレイン7は図1の第1の実施形態と同一である。

【0026】本具体例に於いては、Nウェル11が存在するため、ESD印加により接合リーク電流が流れたとき、Nウェル直下のP型半導体基板1の電位変化を、Nウェル11を通して、ソース及びドレインに伝えることが可能になる。従って、第2の具体例では、第1の具体例よりもN型MOSトランジスタはスナップバック特性に入りやすく、静電保護能力も向上している。

【0027】次に、第3の具体例について説明する。図4は本発明に係る静電保護素子回路の第3の具体例の構成を示す断面図であり、静電保護回路部にあるN型MO

10

20

30

40

50

7

Sトランジスタ20の縦断面図である。本具体例に於いては、P型半導体基板1上にP型ウェル2が存在し、ゲート電極6の回りにあるソース及びドレイン7の直下にはNウェル11が存在する。

【0028】また、低濃度P型不純物領域3の直下若しくはその近傍の下方部に 3×10^{17} (atoms/cm³) 程度P型高濃度不純物領域12が存在する。V_t調整用P型不純物領域4、ゲート酸化膜5、ゲート電極6、及びソース及びドレイン7は図1の第1の実施形態と同一である。本具体例に於いては、低濃度P型不純物領域3の下部に、更にP型高濃度不純物領域12が存在するため、静電保護能力を維持したまま、ラッチアップ耐性が強くなるという効果がある。

【0029】又、本発明に係る当該静電保護素子回路の、第4の実施形態について説明する。即ち、図5は本発明に係る第4の具体例に係る静電保護回路部にあるN型MOSトランジスタの縦断面図である。即ち、P型半導体基板1上にP型高濃度不純物領域13を持つエビ基板上に先述した第2の実施形態のN型MOSトランジスタ30を形成する。

【0030】P型高濃度不純物領域13の存在により、ラッチアップ耐性が向上する効果がある。本発明に係る半導体装置としては、特に図示されてはいないが、上記した各具体例で規定される静電保護素子回路を適宜組み込んだ半導体装置である。又、本発明に係る当該静電保護素子回路の製造方法としては、例えば、複数の演算回路素子を含み且つ、N型MOSトランジスタとP型MOSトランジスタとから構成されている静電保護素子回路を含む半導体装置を製造するに際し、当該静電保護素子回路に含まれるN型MOSトランジスタのチャネル形成領域下方部に形成するウェル領域に於けるウェル濃度を、当該静電保護素子回路以外の演算素子回路に含まれるN型MOSトランジスタに於けるチャネル形成領域下方部のウェル領域に於けるウェル濃度より薄くなる様に不純物のドーパ量を調整する事を特徴とする半導体装置の製造方法であり、又、他の具体例としては、当該静電保護素子回路に含まれる当該P型MOSトランジスタのチャネル形成領域下方部に形成されるウェル領域のウェル濃度は、当該静電保護素子回路以外の演算素子回路に含まれるP型MOSトランジスタに於けるチャネル形成領域下方部の形成されるウェル領域のウェル濃度と同等若しくはそれ以上のウェル濃度を有する様に不純物のドーパ量を調整する事を特徴とするものである。

【0031】一方、本発明に於いては、当該静電保護素子回路に於ける該N型MOSトランジスタのソース領域及びドレイン領域の下方部に、更に当該N型MOSトランジスタを構成しているP型ウェルと同等深さを持ったN型不純物領域を形成する事も望ましい。又、本発明に於いては、当該静電保護素子回路に含まれるN型MOSトランジスタのチャネル形成領域下方部の低濃度ウェル

8

領域の下部部分に、更に当該低濃度ウェル領域のウェル濃度よりも濃度が高い高濃度ウェル領域を形成する半導体装置の製造方法であっても良く、又、当該静電保護素子回路に含まれるN型MOSトランジスタをP型半導体基板上にP型高濃度不純物領域層が形成された当該P型半導体基板の該P型高濃度不純物領域層上に形成する様にしたものでも有っても良い。

【0032】

【発明の効果】以上説明したように、本発明に係る静電保護素子回路及び半導体装置は、上記した様な技術構成を採用しているので、静電保護素子回路に含まれるN型MOSトランジスタのチャネル形成領域直下のみP型低濃度不純物領域を形成し、静電保護素子回路に含まれるP型MOSトランジスタのチャネル形成領域直下にはN型低濃度不純物領域を形成しないことで、静電保護能力が向上するという効果がある。

【0033】また、P型低濃度不純物領域の直下にP型高濃度不純物領域を設ける、あるいはP型エビ基板を用いることで、ラッチアップ耐性が向上する効果も有する。なお、本発明は上記各実施例に限定されず、本発明の技術思想の範囲内において、各実施例は適宜変更され得ることは明らかである。

【図面の簡単な説明】

【図1】図1は、本発明に係る静電保護素子回路の第1の具体例であるN型MOSトランジスタの構成を示す縦断面図である。

【図2】図2は、本発明の第1の具体例に於けるP型MOSトランジスタの構成を示す縦断面図である。

【図3】図3は、本発明に係る静電保護素子回路の第2の具体例に於けるN型MOSトランジスタの構成を示す縦断面図である。

【図4】図4は、本発明に係る静電保護素子回路の第3の具体例に於けるN型MOSトランジスタの構成を示す縦断面図である。

【図5】図5は、本発明に係る静電保護素子回路の第4の具体例に於けるN型MOSトランジスタの構成を示す縦断面図である。

【図6】図6は、従来例の静電保護素子回路の一例に於けるN型MOSトランジスタの構成を示す縦断面図である。

【図7】図7は、従来の静電保護素子回路の他の具体例に於けるN型MOSトランジスタの構成を示す縦断面図である。

【符号の説明】

- 1…P型半導体基板
- 2…P型ウェル
- 3…低濃度P型不純物領域
- 4…V_t調整用P型不純物領域
- 5…ゲート酸化膜
- 6…ゲート電極

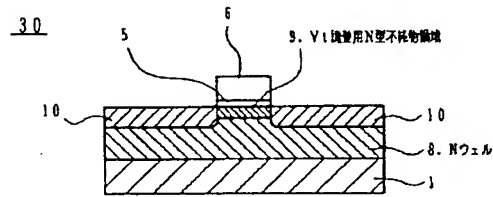
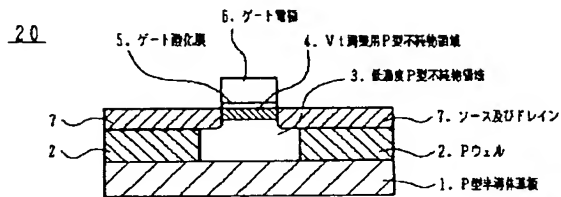
9
7…ソース及びドレイン
8…N型ウェル
9…V_t調整用N型不純物領域
10…ソース及びドレイン
11…N型ウェル

10
* 12…P型高濃度不純物領域
13…P型高濃度不純物領域
20…N型MOSトランジスタ
30…P型MOSトランジスタ

*

【図1】

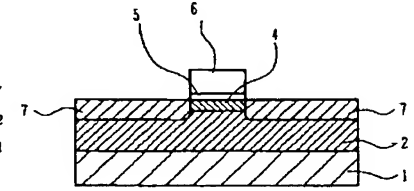
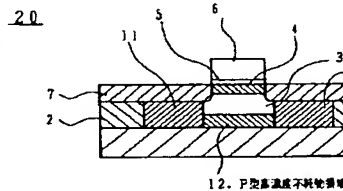
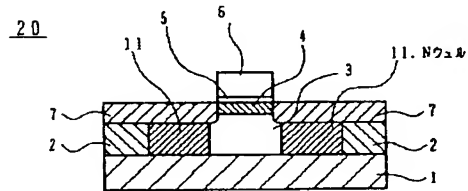
【図2】



【図3】

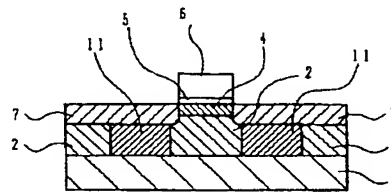
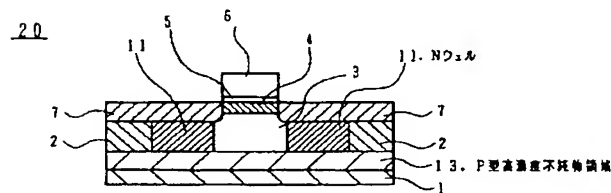
【図4】

【図6】



【図5】

【図7】



BEST AVAILABLE COPY